

(19)日本国特許庁(JP)

## (12)公表特許公報 (A)

(11)特許出願公表番号

特表2002-543513

(P2002-543513A)

(43)公表日 平成14年12月17日(2002.12.17)

(51)Int. Cl. <sup>7</sup>	識別記号	F I	テマート*(参考)
G 0 6 F	1/04	3 0 1	C 5B011
	1/32	15/78	5 1 0 P 5B062
	15/78	1/00	3 3 2 Z 5B079

審査請求 未請求 予備審査請求 有

(全32頁)

(21)出願番号 特願2000-615877(P2000-615877)  
 (86)(22)出願日 平成12年4月20日(2000.4.20)  
 (85)翻訳文提出日 平成13年10月30日(2001.10.30)  
 (86)国際出願番号 PCT/US00/10799  
 (87)国際公開番号 WO00/67102  
 (87)国際公開日 平成12年11月9日(2000.11.9)  
 (31)優先権主張番号 09/302,560  
 (32)優先日 平成11年4月30日(1999.4.30)  
 (33)優先権主張国 米国(US)

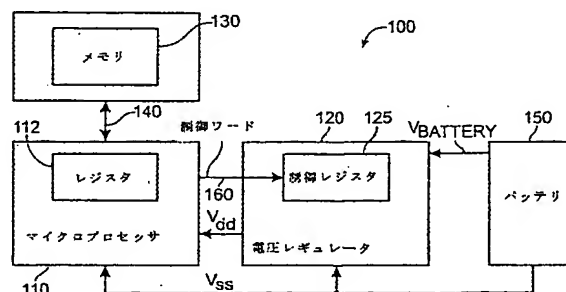
(71)出願人 インテル・コーポレーション  
 アメリカ合衆国 95052 カリフォルニア  
 州・サンタクララ・ミッション カレッジ  
 ブーレバード・2200  
 (72)発明者 クラーク, ローレンス・ティ  
 アメリカ合衆国・85048・アリゾナ州・フ  
 ェニックス・イースト デザート ウィロ  
 ー ロード・3161  
 (72)発明者 マクダニエル, バート・アール  
 アメリカ合衆国・85044・アリゾナ州・フ  
 ェニックス・サウス 40ティエイチ プレ  
 イス・15245  
 (74)代理人 弁理士 山川 政樹

最終頁に続く

(54)【発明の名称】低電力プロセッサの電力を動的に制御する方法および装置

## (57)【要約】

簡単に述べると、本発明の一実施形態によれば、システムがプロセッサ、電圧レギュレータ、およびメモリを備える。電圧レギュレータは、プロセッサに結合されており、当該プロセッサの動作電圧を調整する。メモリは、メモリ・バスによってプロセッサに結合されている。このメモリは、プロセッサ命令をストアしており、その命令がプロセッサによって実行されると、プロセッサの処理負荷における動的な変化の少なくとも一部に基づいて、プロセッサの動作周波数の修正がもたらされ、かつプロセッサの動作電圧の調整がもたらされる。



**【特許請求の範囲】**

**【請求項1】** プロセッサ、電圧レギュレータ、およびメモリを含むシステムにおいて：

前記電圧レギュレータは、前記プロセッサに結合されており、前記プロセッサの動作電圧を調整し；

前記メモリは、メモリ・バスを介して前記プロセッサに結合されており、前記メモリは、前記プロセッサによって実行されたとき、前記プロセッサの処理負荷における動的な変化の少なくとも一部に基づいて、前記プロセッサの動作周波数の修正をもたらし、かつ前記プロセッサの動作電圧の調整をもたらす、プロセッサ命令をストアしていることを特徴とするシステム。

**【請求項2】** プロセッサ、および前記プロセッサに結合されて前記プロセッサの動作電圧を調整する電圧レギュレータを含むシステムの前記プロセッサによって実行されたとき、前記プロセッサの処理負荷における動的な変化の少なくとも一部に基づいて、前記プロセッサの動作周波数の修正をもたらし、かつ前記プロセッサの動作電圧の調整をもたらす命令をストアしているストレージ・メディアを含む物品。

**【請求項3】** プロセッサの電力消費を低減する方法において：

前記プロセッサの動作周波数を修正するステップ；および、

前記プロセッサの動作電圧を調整するステップ；を包含し、

それにおいて、前記修正ならびに前記調整は、前記プロセッサの処理負荷における動的な変化の少なくとも一部に基づくものとすることを特徴とする方法。

## 【発明の詳細な説明】

## 【0001】

## (発明の属する技術分野)

本発明はプロセッサに関し、より詳細に述べれば、低消費電力プロセッサの動的電力制御に関する。

## 【0002】

## (従来技術)

組込プロセッサ、たとえばマイクロプロセッサおよびその他のデジタル・システム等において有意な省電力を達成することが、ますます強く望まれるようになってきている。その1つの理由としては、限られたバッテリー容量しか持たない携帯電話およびその他のハンドヘルド・ポータブル・デバイスの使用の増加が挙げられる。それに加えて、その種のハンドヘルド・デバイスの演算能力は、テクノロジーの発展とともに向上を続けている。当面はその状態が続くものと見られる。この傾向は、特に、これらのデバイスならびにシステムに対するデジタル信号処理および通信機能の追加をはじめ、音声認識等のソフトウェア・アプリケーションの実装によって強くなると考えられ、それらは今後も使用されると予想され、かつ増加し続ける演算需要の潜在的な駆動力となる。

## 【0003】

この種のプロセッサを使用するシステムにおいては、適正な結果をもたらす動作のために使用される特定の電圧よりバッテリー電圧が高いことは珍しくなく、そのためバッテリーによって供給される電圧を電圧レギュレータ等によりステップ・ダウンを行ことが多い。供給される電圧が高めとなるもう1つの理由としては、マイクロプロセッサ等の、今日的なプロセッサのための高周波シリコン製造プロセスが、その他のコンポーネントの製造に使用されるプロセスより低い電圧を許容する傾向にあることが挙げられる。したがって、一般にレギュレータは、システム内の各種のコンポーネント用に、複数の出力レベルの電圧を供給する。さらに、一般にバッテリーが消耗するに従って電圧出力レベルが低下していくことから、これに関連して、バッテリーの使用可能期間にわたって実質的に一定の動作電圧を提供するためにも電圧レギュレータが使用されることになる。近年は、ステッ

プ・ダウンとステップ・アップの間を切り替えることができる機能を提供する、より複雑なレギュレータが入手可能となり、この環境においては有用であると考えられる。この種のレギュレータは、バッテリーが比較的新しく、あるいはリチャージ後の状態であれば、バッテリー電圧のステップ・ダウンを行い、時間を経てその電圧がシステムの適正な動作に不十分なレベルまで低下したとき、電圧のステップ・アップを行うことによってバッテリーの使用可能期間の延長を図っている。

#### 【0004】

周知のように消費電力は、電源の電圧レベルに関する式： $P = C (V_{dd})^2$

Fによって表される。その式でFは動作周波数、Cはスイッチ・キャパシタの容量、 $V_{dd}$ は電源電圧である。この式が示すように、電源の電圧レベルを下げることによって、電力が著しく抑えられる。しかしながら不都合なことに、所定の動作周波数Fに関して得ることができる最大パフォーマンスもまた、式：

#### 【数1】

$$I_{d(sat)} = \beta (V_{dd} - V_t)^\alpha$$

に示されるように電源電圧に関する。その式で $I_{d(sat)}$ は飽和時のドレイン電流、 $V_{dd}$ はドレイン・ソース間電圧、 $V_t$ はスレッシュホールド電圧をそれぞれ表す。「 $\alpha$ 」は、プロセス依存のパラメータであり、一般に2が採用されるが、1から2までの間の値を取ることが可能であり、またこの分野において周知のように、「 $\beta$ 」は、金属酸化膜半導体(MOS)トランジスタに関する幅ならびに長さのパラメータを含む通常の意味を有している。結局、システムが、そのピークの演算パフォーマンス要求に応える電圧レベルで動作するように設計されているので、ピークの演算能力が必要でないときには、有用でない大量の電力を消費することになる。この種のシステムにおいては、一般に「クロック・ゲーティング」によって電力の節約が行なわれる。このアプローチでは、使用されていないデバイスもしくはシステムの部分が、これらのセクションをドライブしているクロックを「オフ」にする。これは基本的に平均周波数を下げることにより、つまり平均の中に周波数ゼロの期間を含ませることによって事実上の動作周波数を下げ、その結果、上記の式から明らかなように、省電力における直線的な向上をもたら

す。したがって、これらの低消費電力デバイスに関して省電力という意味において向上をもたらしつつ、しかも完了が希望されているタスクについては十分な演算パフォーマンスを引き出すことができるテクニックが必要とされている。

#### 【0005】

##### (発明の概要)

簡単に述べると、本発明の一実施態様によれば、システムがプロセッサ、電圧レギュレータ、およびメモリを備える。電圧レギュレータは、プロセッサに結合されており、当該プロセッサの動作電圧を調整する。メモリは、メモリ・バスによってプロセッサに結合されている。このメモリは、プロセッサ命令をストアしており、その命令がプロセッサによって実行されると、プロセッサの処理負荷における動的な変化の少なくとも一部に基づいて、プロセッサの動作周波数の修正がもたらされ、かつプロセッサの動作電圧の調整がもたらされる。

#### 【0006】

##### (発明の実施の形態)

本発明に関するテーマは、特に本件明細書に付随する特許請求の範囲に示し、そこで明確に要求されている。しかしながら本発明は、その目的、特徴、および利点とともに、構成ならびに動作の方法に関して、添付図面を参照した以下の詳細な説明を読むことによって、もっともよい理解を得ることができる。

#### 【0007】

以下の説明においては、本発明を完全に理解させるために具体的な詳細を示している。しかしながら、本発明の関連する分野における当業者であれば理解されようが、これらの具体的な詳細を必ずしも用いなくとも本発明の実施が可能である。なお、周知の方法、手順、コンポーネントおよび回路については、本発明の不必要な不明瞭化を避けるために詳細を省略している。

#### 【0008】

すでに論じたように、携帯電話およびその他のハンドヘルド・ポータブル・デバイス、たとえばパーソナル・デジタル・アシスタント(PDA)またはグローバル・ポジショニング・システム(GPS)受信機等は、通常、容量が限られたバッテリーを有しており、特に省電力が望まれる。たとえば、概略で数ポンドを

超えない程度の重量のデバイスもしくはシステムにおいて使用されるバッテリーは一般に容量が限られている。しかも、その種のデバイスの演算能力に関しては、さらに高くなる傾向が続いている。高くなったこの演算能力を使用する結果、著しい電力消費および／または著しい追加の電力消費となっている。しかしながら、ハンドヘルド・デバイスの使用の全期間を通じて、継続的にピークのパフォーマンスの提供が求められるわけではない。たとえば、この種のデバイスが、一例を挙げるとキーの打鍵等のキーボード入出力を処理する場合のように、比較的わずかな演算能力しか必要とされないモードにおいて動作していることもある。しかも、すでに示したように、より複雑な電圧レギュレータが入手可能になっており、特に集積回路形式または別の回路を伴う集積回路チップ上への組込み形式において使用することができる。これらのレギュレータには、プロセッサ等の特定のコンポーネントに関する動作電圧のステップ・ダウン機能およびステップ・アップ機能を一緒に備えているものもある。この機能は、バッテリー電圧の上側、またはその下側の所望の電圧を効率よく提供する機会をもたらし、それによってバッテリーの寿命またはリチャージまでの期間を実質的に延長する。より具体的に述べれば、この機能は、少なくとも部分的にプロセッサ能力の使用における変化に基づいて、また特定の時点において特定の演算タスクが実行される場合のように相応の電圧レベルの供給が望まれるときに、所望の電圧レベルを動的に供給するようになっている。

#### 【0009】

すでに示したが、電力消費は、プロセッサの動作周波数と線形の関係性を有し、その電圧レベルと二乗則の関係性を有する。したがって、たとえばプロセッサ等のコンポーネントの演算需要が比較的高いか、あるいはそれが比較的低いとき、線形（たとえば周波数）および二乗則（たとえば電圧）の組み合わせによる電力消費の節減における向上を可能にするテクニックを使用することができる。より具体的に述べれば、ハンドヘルド・デバイスに切り替え付き電力調整を使用し、あるいは出力電圧レベルをプログラマブルにすることが考えられる。このアプローチを使用する場合、たとえばプロセッサの動作電圧、したがって電力消費をプロセッサ命令の実行を通じてプロセッサ自体によって制御することが可能になる。

プロセッサの動作電圧レベルに加えてプロセッサの動作周波数についても同様に、動的な態様において、オンデマンドで制御することができる。これに関して、プロセッサの処理負荷における動的な変化とは、プロセッサによる電力消費および／またはパフォーマンスに対して、動作周波数の修正もしくは動作電圧の調整を望ましいとするのに十分な影響を与える可能性を有する、処理負荷における測定された、もしくは予測される変化を指すものとする。1つの特定の実施形態においては、これに関して本発明の範囲を限定する意図ではないが、プロセッサ命令が、プロセッサによって実行される間に、演算集約的なタスクが開始しつつあるか、あるいはそれが開始されようとしているかということについて決定することができる。たとえば、アプリケーションの実行可能コードは、オペレーティング・システム（OS）「ローダ」用の情報、すなわち、この場合であれば、新しいアプリケーション・プログラムをメモリ内にストアし、プロセッサによるその動作を開始するOSの部分のための情報を含み、その結果このローダは、このアプリケーションに意図されたパフォーマンス・レベルに符合するシステムの電力ならびに周波数の状態の増加または減少を行うサブルーチンを実行することが可能になる。この場合、そのアプリケーションの適正な実行に意図される周波数を、いくつかの手段を通じてアプリケーション・プログラマが適正に決定し、プログラムの一部としてストアすることができる。それに代えて、アプリケーションがあらかじめ決定済みのサブルーチンあるいはOSサービスを呼び出し、直接もしくはOSを介して、その電力ならびに周波数を増加または減少させることも可能である。後者は、規定外のアプリケーションからの、あるいは複数のアプリケーションが同時に動作している場合におけるシステムの保護が得られるという利点を提供することができる。ここで、そのような場合に、つまり複数のアプリケーションが動作している場合に、OSがパフォーマンス需要の合計を決定し、その合計に対して電力および周波数を適正に供給できることに注意する必要がある。当然のことながら、これは、いかにしてこれが達成され得るかということを示した単なる例に過ぎず、本発明は、いかなる特定のアプローチにも限定されることがない。したがって一実施形態においては、これらの命令が、その結果として、たとえば特定のレジスタ内にバイナリ・ディジタル信号またはビットをセット

し、それが動作周波数および動作電圧レベルを制御し、所望の高い演算パフォーマンスを提供しつつ、あまり演算集約的でないタスクに関して電力消費を抑えることを可能にする。この特定の実施形態においては、プロセッサによる演算集約的なタスクが完了したとき、実行されるプロセッサ命令が、それに続いてバイナリ・デジタル信号またはビットをセットすることによって、プロセッサの動作周波数ならびに動作電圧レベルの制御が再度実行され、電力消費が比較的低い状態に抑えられる。1つの特定の実施形態においては、これも本発明の範囲を限定するものではないが、後述の説明からより明らかなものとなるように、プロセッサをドライブするクロックに継続的な動作が許容され、その結果、かなりの量の電力を節約しつつ、その種の電圧／周波数変更の直後から、プロセッサによるプロセッサ命令の実行に適正な結果をもたらすことができる。

#### 【0010】

図1は本発明に従ったシステムの実施形態を示した概略のブロック図である。当然のことながら、すでに示したように、またより詳細を後述するように、本発明の範囲がこの特定の実施形態に限定されることはない。図1に示した実施形態100は、マイクロプロセッサ等のプロセッサ110、電圧レギュレータ120、およびメモリ130を含んでいる。図示されているように、メモリ130は、メモリ・バス140を介してプロセッサ110に結合される。さらに、バッテリー150からこのシステムに電力が供給されているが、当然のことながら、慣習的に各種のソースからバッテリーを獲得することができるため、この種のシステムが一般にバッテリー150を伴わずに提供されることがあることは理解されよう。さらに、本発明に従ったシステムのいくつかの実施形態におけるプロセッサ等の具体的なコンポーネントが、たとえば後からシステムに組み込むために別体で提供もしくは販売されることもあるが、それについても本発明の範囲に含まれる。

#### 【0011】

この特定の実施形態においては、電圧レギュレータ120がプロセッサ110に結合されて、図1におけるプロセッサ110の動作電圧 $V_{dd}$ を調整する。この実施形態の場合、これが、電圧レギュレータに提供されるバイナリ・デジタル信号の少なくとも一部に基づいて行なわれるが、それについての詳細はこの後に



述べる。図1に示されるように、これらのバイナリ・ディジタル信号は、この特定の実施形態においては、制御レジスタ125にロードされる制御ワードを介して提供される。たとえばダイナミック・ランダム・アクセス・メモリ(DRAM)からなるメモリ130はプロセッサ命令をストアしている。その命令は、プロセッサ110によって実行されると、その結果として、少なくとも部分的にプロセッサの処理負荷における動的な変化に基づいて行なわれるプロセッサ110の動作周波数の修正、およびプロセッサ110の動作周波数の調整が行われる。

#### 【0012】

この特定の実施形態においては、プロセッサ110によって制御ワードが、制御バス160を介して電圧レギュレータ120に提供されているが、これに関しても、本発明の範囲がそれに関連した限定を受けることはない。なお、この特定の実施形態における「制御レジスタ」は、「メモリ・マップ」されてもよい。より具体的に述べれば、メモリ130内の実際のメモリ・ロケーションに対応しない、選択された、あるいは専用の1ないしは複数のアドレス可能なメモリ・ロケーションを、メモリ130の一部として機能させ、あるいは動作させることができる。つまり、プロセッサにとってはこれがトランスペアレントになり、プロセッサが、この選択されたメモリ・アドレス・ロケーションもしくは複数のメモリ・アドレス・ロケーションに対して読み出しまたは書き込みを行うとき、それが制御レジスタをアドレスしているということを意識させない。その実施形態においては、メモリ・バス140を介して、メモリ130内に位置している制御レジスタに電圧レギュレータ120を結合してもよい(図1には示していない)。その結果、選択された、あるいは専用のロケーションに対する書き込み動作が、制御レジスタ内の変更を示すことになる。当然のことながら、この場合にも本発明が、その範囲においてこの実施形態に限定されることはなく、たとえば電圧レギュレータの制御電圧が、メモリ・ロケーションではなく入力/出力ポート(I/Oポート)に対応することも考えられる。

#### 【0013】

この特定の実施形態においては、電圧レギュレータ120からプロセッサ110に供給される電圧レベルを、特定のマイクロプロセッサ・アプリケーションを

完了するために望ましい周波数に基づいて、制御レジスタにバイナリ・デジタル信号をセットすることによってリアルタイムで調整することができる。つまり、この種の実施形態においては、メモリ130にストアされ、プロセッサ110によって実行されるプロセッサ命令が、特定のタスクの演算集約度または処理負荷を評価し、それに応じて制御レジスタ125のビットを変えることができる。したがって、この特定の実施形態における電圧レギュレータ120は、プログラマブルであるということになる。図1に示したように、メモリ130、プロセッサ110、および電圧レギュレータ120は、それぞれ別の集積回路チップ上にあるが、それに関して本発明の範囲が限定されることはない。さらに、システム100において、マイクロプロセッサによって実行されるタスクの大半に対応する公称動作電圧を設定することもできる。電圧レギュレータ120は、プロセッサ110に結合されており、この実施形態においては、プロセッサ110の動作電圧を公称動作電圧から上および／または下に調整する機能を有し、それを、電圧レギュレータ120に渡されるバイナリ・デジタル信号の少なくとも一部、すなわちこの実施形態の場合の制御レジスタ125に渡される信号等に基づいて行う。たとえば、タスクは、演算集約的なタスクから演算集約的でないタスクまでの連続であると考えることができる。この連続の一方の極にあるものとして演算集約的なタスクの例である音声認識が挙げられ、他方の極にあるものとして、演算集約的でないタスクの例であるキーの打鍵等のキーボード入力／出力が挙げられる。同様に、これらの両極の間接的なタスク、すなわち公称電圧が使用されると考えられるタスクの例には、ネットワーク動作の実行を含めることができる。当然のことであるが、これらのタスクは単に例を示しているに過ぎず、本発明がこれらのタスクもしくはこの連続に、あるいは連続の使用に限定されることはまったくない。先に示したように、一実施形態においては、バイナリ・デジタル信号を制御レジスタに対してマップされている、選択したもしくは指定された1ないしは複数のメモリ・ロケーション・アドレスに書き込むことができる。

#### 【0014】

一実施形態においては、それに関して本発明の範囲を限定する意図ではないが、メモリ130がプロセッサ命令をストアしており、それがプロセッサ110に

よって実行されると、その結果として、電圧レギュレータ120によるプロセッサの動作電圧の調整に先行してプロセッサがスリープ・モードに入る。この実施形態の場合は、マイクロプロセッサをスリープ・モードにすることには、現在の動作の完了、内部クロックの停止、およびマイクロプロセッサの位相ロック・ループ（PLL）またはそれと類似の回路の停止を含む。これが行なわれると、前述したように、プロセッサによって実行されているプロセッサ命令が、バイナリ・デジタル信号を制御レジスタ125等の制御レジスタに提供し、その結果、電圧レギュレータ120によってプロセッサ110の動作電圧の変更が行なわれる。本発明の範囲を限定する意図ではないが、一実施形態においては、プロセッサ命令によって、この動作電圧の調整の後に、プロセッサが十分な量の時間の待機を設定し、それにより電圧調整の適正な達成を可能にしている。当業者であれば認識されようが、この時間的な量の指定には多数の方法が存在し、ここでは各種の代替方法の列挙を行わないが、そのすべてが本発明の範囲に含まれることは、ここですでに企図されている。同様にこれに代わる実施形態においては、プロセッサ命令がプロセッサによって実行されたとき、その結果として、動作電圧の調整の後に当該プロセッサによる電圧調整の達成に成功したことの検証が行われるようにしてもよい。一例として挙げるが、電圧リファレンスをモニタするアナログ・デジタル（A/D）コンバータの出力信号をストアする別のレジスタを読み出すことによって、この検証を行うことができる。この種のデバイスは、実質的に電圧レギュレータ制御メカニズムの部分を使用することが可能であり、たとえば供給電圧のデジタル制御を行うためにデジタル・アナログ（D/A）コンバータを使用する電圧レギュレータの部品にA/Dコンバータがある。最近のPCマザーボード設計は、この種のA/Dポートを多数有しており、オペレーティング・システム、およびシステムの電圧ならびに温度が公称セッティング内にあることをモニタするベーシック入出力システム（BIOS）によってそれを読み取ることができる。たとえば、主としてコンポーネントの障害発生時にシステムに停止を指示するためにそれらが使用されている。ただしこれは、アプローチの単なる一例に過ぎず、この特定のテクニックに本発明の範囲が限定されることはない。いずれにしても、直前のイベントの完了に成功した後、つまり、この

特定の実施形態においては、プロセッサをスリープ・モードを設定し、プロセッサの動作電圧の修正に成功した後に、修正後の周波数においてプロセッサの動作を開始することによって、それ以降のプロセッサの動作周波数が修正される。この実装は、たとえば位相ロック・ループ（PLL）が使用されているのであれば、マイクロプロセッサのPLLが修正後の周波数にロックするようにその動作を更新することによって可能である。これは、多数のテクニックのいずれかによって達成することが可能であり、本発明の範囲が、いずれかの特定のテクニックに限定されることはない。たとえば、位相ロック・ループの入力信号に関するディバイダの比を修正することが考えられるが、これにおいても、本発明の範囲がそれに限定されることはない。さらに、電圧レギュレータの場合と同様に、図1のレジスタ112等のような、この目的のための特定のプロセッサ・レジスタにマップされるメモリ・ロケーションに対する書き込みによって、これを示すことができる。PLLが修正後の周波数にロックした後は、マイクロプロセッサ内の内部クロックをリスタートし、システムの正常動作をそれが停止したポイントから再開すればよい。PLLが停止した後は、PLLのリスタートおよび一実施形態における修正後の周波数に対するそのロックに、たとえば10ミリ秒台の時間を必要とすると見られる。当然のことながら、これは、少なくとも部分的に、注目する周波数の範囲ならびに電圧に依存し、そのため単なる一例としてこれを示している。しかしながら、たとえばクロック速度から見れば、これは、場合によっては時間を要する動作であると言える。

#### 【0015】

プロセッサによって、動作電圧レベルならびに動作周波数レベルの修正をもたらした動作が完了されると、その後、同一のアプローチまたはテクニックを使用して動作電圧レベルならびに動作周波数レベルを以前のレベルに戻す変更を行うことができる。つまりここで、特定の実施形態に関して公称電圧レベルならびに公称周波数が存在する場合には、このテクニックを使用して、特に演算集約的でないタスクが検出ないしは認識されたときに動作周波数および動作電圧レベルを下げ、同様に特に演算集約的なタスクが検出ないしは認識されたときに動作周波数および動作電圧レベルを上げることができると理解されるであろう。すでに述

べたように、単なる例示に過ぎないが、演算集約的なタスクの例としては音声認識が、通常のタスクの例としてはネットワーク処理が、また演算集約性が低い演算集約的でないタスクの例としてはキーボード入出力がそれぞれ挙げられる。したがって、本発明が、電圧ならびに周波数におけるステップ・アップのみ、あるいは電圧ならびに周波数におけるステップ・ダウンのみに限定されることはないが、そういった実施形態もまた可能であり、本発明の範囲内に含まれる。

#### 【0016】

本発明に従った別の実施形態においては、マイクロプロセッサならびに位相ロック・ループ（PLL）が使用される場合に、動作電圧レベルの変更が行なわれている間、マイクロプロセッサのPLLを継続的に動作させることができる。この特定の実施形態における1つの利点は、電圧／周波数レベルの変更が行なわれた後、より迅速に動作を完了できることである。たとえば、すでに説明したように、PLLが停止している場合には、PLLを修正後の周波数に再びロックさせるために多少の時間を要する；しかしながら、内部クロックが停止されていてもPLLが連続して動作している場合には、単一クロック・パルスにおいて内部クロックをリスタートさせることが可能であり、時間的にかなり有利である。この特定の実施形態においては、メモリ130がプロセッサ命令をストアしており、それがプロセッサによって実行されると、プロセッサの動作電圧の調整に先行して、かつプロセッサの動作周波数の修正に先行してプロセッサがアイドル・モードに入る。これに代わる実施形態においては、PLLが使用される場合に、PLLの周波数の変更が行なわれる間、内部クロックがPLL基準クロックから直接ドライブされる。これによれば、プロセッサが継続的に情報を処理し、基準クロックの低いレートにおけるものではあるが、たとえば割り込み等の外部イベントに対して応答することが可能になる。このモードは、プロセッサが、バスから到来する情報の処理を待機しているときの省電力手段である。この特定の実施形態の場合は、アイドル・モードにおいて、プロセッサが現在の動作を完了した後、内部クロックを停止する。しかしながら、たとえばこの実施形態においては、プロセッサの位相ロック・ループ（PLL）の動作が継続する。この特定のアプローチにおいては、位相ロック・ループが動作を継続している間に、たとえば前述

したようにして電圧レギュレータによってプロセッサの動作電圧が調整され、プロセッサの動作周波数が修正される。先に示したように、動的な処理負荷は、プロセッサによって、ストアされているプロセッサ命令をそれが実行するとき、認識され、あるいは決定される。たとえばプロセッサは、特定の時間にわたる非常に演算集約的な、あるいはほとんど演算集約的でないタスクが開始されようとしていることを認識することができる。本発明の範囲をそれに限定する意図はないが、たとえばプロセッサが音声認識を実行する場合には、比較的短時間にわたって、いくつかの演算集約的なタスクの実行が行われることがある。

#### 【0017】

また、この特定の実施形態の場合には、動作電圧を調整するため、および動作周波数を修正するための各種のアプローチが数多く存在する。一例を示すとこれらを順番に、あるいはそれに代えて、特定のパラメータに応じて、同時に行ってもよい。たとえば、動作電圧を上昇させるために必要な時間は、位相ロック・ループの周波数を増加するために必要な時間と比較した場合に、比較的短いであろう。したがって、これらの動作が同時に実行されとした場合には、動作周波数の上昇が完了する時点までに、両方の動作を首尾よく完了することができる。その一方において、動作電圧の降下に関する時定数が、PLLの動作周波数の降下に関する時定数との比較において、それより大きく設定されることがある。これにおいても、これらの動作を同時に実行することが望ましいとする状況が表れており、その結果、動作電圧が所望のレベルまで下がった時点で、両方の動作が首尾よく完了することになる。図7は、本発明の一実施形態に関して、これらの動作が同時に実行される場合を示している。当然のことではあるが、これに関して「同時」は、全期間を通じて両方の動作が実行されていることを意味しているのではなく、その期間の少なくとも一部において動作がオーバーラップしていることを意味する。さらに、当業者であれば認識されようが、これを適正に達成するための特定の詳細が、実行される個々の、もしくはいくつかのタスクによって異なるだけでなく、その他のファクタによっても異なってくる。したがって、本発明が、その範囲において1つの特定のアプローチに限定されることはない。しかも、これに代わる実施形態においては、動作周波数の修正と動作電圧の修正を順

番に実行すると都合がよいことがある。すなわち、マイクロプロセッサがアイドル・モードに入った後、プロセッサのPLLに対して出力クロック周波数の減少が指示される。先に示したように、この達成は、多数のテクニックのいずれを用いても可能であり、たとえばPLLが使用される場合には、PLLに印加される入力信号のディバイダの比を修正することによって達成される。同様に順番に実行する方法についても、特定の実施形態に応じて、実行されるプロセッサ命令が、プロセッサに対して所望の動作周波数に到達したことが保証される十分な時間の待機を指示してもよく、またそれに代えて、プロセッサが適切な動作周波数に到達したことを決定してもよい。1つの可能性のある例としては、予想可能な変化の下におけるPLLの公称ロック時間と同じ長さの時間を設定するタイマ、たとえばテーブル・ルックアップによりプログラムされるタイマを介して、あるいはそれに代えてPLLから、チャージ・ポンプにおける動作に基づく信号を受け取ることによって、もしくは周波数検出器からの情報に基づいて、ロックが完了した状態あるいはまだ完了していない状態を示す信号をプロセッサに送ることもできる。この種の周波数ロック検出器は、当業者の間において周知であり、ここではその詳細を省略する。しかしながら、これにおいても、それを達成するための特定のアプローチに本発明の範囲が限定されることはない。いずれにしても、所望の動作周波数が達成された後は、前述したように、プロセッサがプロセッサ命令を実行し、それによって電圧レギュレータに対して動作電圧の調整が指示される。この特定の実施形態においては、前述した順序、すなわち動作周波数の修正に続いて動作電圧の調整を行う順序を使用することが、電力消費を抑える上で望ましい。それに代えて、電力消費を増加させることが望ましい場合、たとえば前述したように演算集約的なタスクを実行させなければならないときには、電圧レギュレータに対してより高い電圧への移行を指示し、その後マイクロプロセッサに対して出力クロック周波数の増加を指示することが望ましいと考えられる。

図6は、本発明の特定の実施形態に関する、動作周波数に先行する動作電圧の上昇、およびその後の動作電圧に先行する動作周波数の減少を示している。この場合、図5に示した曲線の下側において動作が継続される限り、電圧ならびに周波数の変更が行なわれている間、演算を停止する必要がない。したがって、プロセ

ッサが、この変更の間にその回路速度／電圧の動作包絡線を侵害することがない。これは、たとえば、回路設計によって、周波数ならびに電圧の増減の間において、図に示されるように時定数が維持されることを強制することによって実装することができる。

#### 【0018】

この特定の実施形態においては、図5のグラフによって示されるように、動作周波数が、所定の電圧において正常な結果が得られる最大周波数より低く維持される。動作周波数を、与えられた動作電圧に対応するそのレベルより低く維持することによって、この特定の実施形態においてはマイクロプロセッサの動作が停止されるが、アイドル状態を維持している内部回路に起因する残りの回路における機能上の障害のリスクがほとんど、もしくはまったくなくなる。それに代えて、前述した基準周波数を用いて内部回路を動作させることも可能であり、それにより、与えられた（時間的に変化する）動作電圧において使用可能な周波数を超える周波数の動作の可能性をほとんど、もしくはまったく伴わずにタスクを完了することができる。より具体的に述べれば、特定の動作電圧レベルにおけるクロックを用いて内部回路が正常な動作を維持できるように、所定レベルより低く動作周波数が維持される。したがって、その内部電圧において回路が動作できるサイクルより短いサイクルが、クロック・ジェネレータによって生成されるリスクがほとんど、もしくはまったくなくなる。

#### 【0019】

当然のことではあるが、上記に代わる実施形態においては、これらの各種のシステム・コンポーネントを集積化することができる。そこで図2に、本発明に従ったシステムの別の実施形態の例を示す。全体を200として示すこの特定の実施形態においては、電圧レギュレータおよびフラッシュ・メモリが単一の集積回路チップ210上に集積化されている。1つの望ましい側面は、フラッシュ・メモリを製造するために使用される製造プロセスが高い電圧を許容し、当業者の間においては周知のように、それが適正なフラッシュ・プログラミングおよびイレーシングの少なくとも一部に使用されることであり、したがって、比較的効率のよい電圧レギュレータの製造にかなっている。さらに、追加のプロセスおよびそ



のプロセスの特性、特に2つのポリシリコン・ゲート・レイヤの使用が、受動アナログ・コンポーネントを含めるといったプロセスの能力をサポートし、たとえばマイクロプロセッサ製造に一般に使用されているような従来のロジック・プロセスに比べて、より容易にそれが行なわれる。しかも、フラッシュ・メモリの使用は、この種のハンドヘルド・システム内にプログラム・ストレージ手段として一般的に使用されているように、典型的な最先端システムに重要な制限をもたらすものではない。図2に示されているように、この特定の実施形態においては、チップ210上に集積化されている制御レジスタ220が、フラッシュ・メモリの制御回路と実質的に同一の形態に従ってアクセスされる。つまり、この制御レジスタは、フラッシュ・メモリ215に対する読み出しならびに書き込み動作を制御する回路と同じ回路によってアクセスされる。したがって、このアプローチのもう1つの利点は、図2に示されるように、システムのマイクロプロセッサ・サイドにおいて追加のバスが使用されないことである。このアプローチは、前述のアプローチ、すなわち制御レジスタが「メモリ・マップ」され、その結果、メモリ・バスが電圧レギュレータのプログラムに使用されるバイナリ・デジタル制御信号の転送に用いられるアプローチに類似している。しかしながら、この特定の実施形態においては、それが、単一集積回路チップ上にフラッシュ・メモリとともに電圧レギュレータを集積化することによって達成されている。しかもこの電圧レギュレータは、図2におけるプロセッサ230に関して実行する動作に加えて、スタティック・ダイナミック・ランダム・アクセス・メモリ（SDRAM）あるいはその他のシステム・レベルのデバイス等のための、別の電圧信号レベルの提供も行うことができる。

#### 【0020】

図4は、さらに別の実施形態を示した概略のブロック図である。この実施形態に示されるように、プロセッサおよび電圧レギュレータが単一の集積回路チップに集積化されている。図3は、さらに別の実施形態を示した概略のブロック図であり、図2および4に示した実施形態よりさらに高い集積化のレベルが採用されている。この特定の実施形態においては、プロセッサ310、フラッシュ・メモリ320、および電圧レギュレータ330が単一の集積回路チップに集積化され

る。図3に示されているように、この特定の実施形態は、図3に示したDRAM 340等の外部デバイスのための電圧信号レベルを供給することができる。この特定の実施形態における1つの利点は、図3の制御レジスタ312が、直接プロセッサ310に集積化できることである。たとえば、本発明の範囲を限定する意図ではないが、周知のARMアーキテクチャにおいては、コプロセッサ制御レジスタが使用されて、クロック周波数の制御に使用される方法と実質的に同じ方法により電圧動作レベルが制御され、アイドル・モード等のその他のほかのパワーダウン・モードならびにその他の可能なモードが制御される。特定の一実施形態においては、使用されるレジスタが、クロックおよびパワー・マネジメント機能を含むARM（登録商標）コプロセッサ・レジスタ（CP）CP-14レジスタ7からなるが、これに関して本発明の範囲が限定されることはない。このレジスタにおいては、いくつかのビットが電圧状態を制御し、別のいくつかは周波数（PLL乗算器）を制御する。たとえば、当業者においては周知の方法により、このレジスタに対する書き込みの検出に応答して変更動作を起動することができる。したがって、この実施形態の場合には、単一のレジスタを使用して、動作電圧の調整ならびに動作周波数の修正が単一の原子性動作において達成されるが、当然のことながら、これに関して本発明の範囲を限定する意図はない。なお、図4に示した実施形態も同様にこの利点を提供することに注意されたい。

#### 【0021】

さらに、1つのシステムではなく、それに代えてストレージ・メディア、たとえばハードディスク、コンパクト・ディスク（CD）あるいはディスクットといったコンピュータ可読もしくはマシン可読ストレージ・メディアを含む物品を構成する別の実施形態も考えられる。その種の実施形態においては、ストレージ・メディアにプロセッサ命令等の命令をストアすることができる。このプロセッサ命令が、プロセッサに結合された電圧レギュレータを含むシステム等のシステム内において実行されると、プロセッサの処理負荷における動的な変化の少なくとも一部に基づいたプロセッサの動作周波数の修正ならびに動作電圧の調整がもたらされる。その種の実施形態には、図面に示し、それを参照して説明したような追加の特徴を含めることができるが、これに関して本発明の範囲が限定されるこ

とはない。さらに別の実施形態に、以上に代えて、これまで論じてきた実施形態に説明されている方法に従ったプロセッサの動作周波数の修正ならびに動作電圧の調整等を行うことにより、本発明に従ったプロセッサの電力消費を抑える方法を含めることもできるが、それに関しても本発明の範囲が限定されることはない。

#### 【0022】

以上、ここでは本発明の特定の特徴を示し、それについて説明してきたが、それによって当業者においては、多くの修正、置き換え、変更、およびその等価物が明らかになったであろう。したがって、付随する特許請求の範囲には、その種のすべての修正ならびに変更が本発明の真の精神に含まれるべく意図されていることを理解する必要がある。

#### 【図面の簡単な説明】

##### 【図1】

本発明に従ったシステムの実施形態を示した概略のブロック図である。

##### 【図2】

本発明に従ったシステムの別の実施形態を示した概略のブロック図である。

##### 【図3】

本発明に従ったシステムのさらに別の実施形態を示した概略のブロック図である。

##### 【図4】

本発明に従ったシステムのさらに別の実施形態を示した概略のブロック図である。

##### 【図5】

本発明に従った実施形態に関する  $F_{max}$  対  $V_{dd}$  の曲線を表したグラフである。

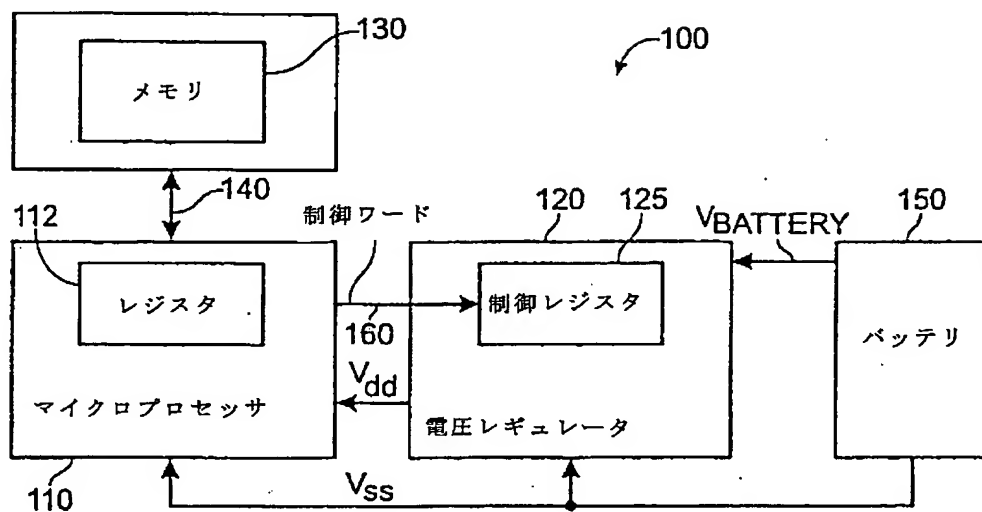
##### 【図6】

本発明に従った実施形態に関する電圧ならびに周波数を上下させる1つのアプローチを示したグラフである。

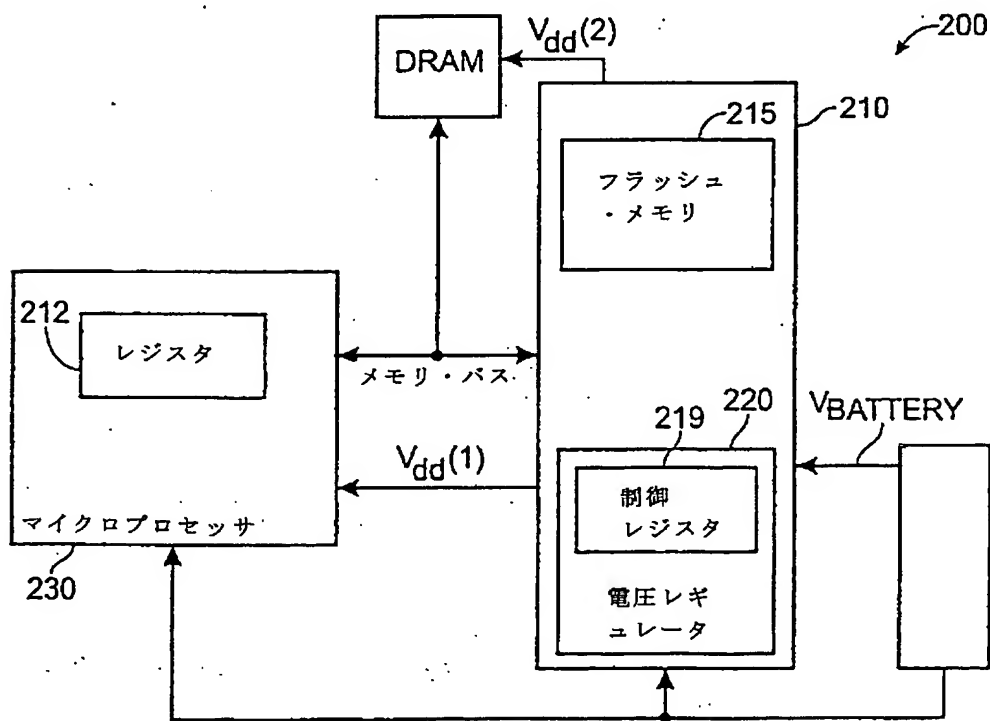
##### 【図7】

本発明に従った実施形態に関する電圧ならびに周波数を上下させる別のアプローチを示したグラフである。

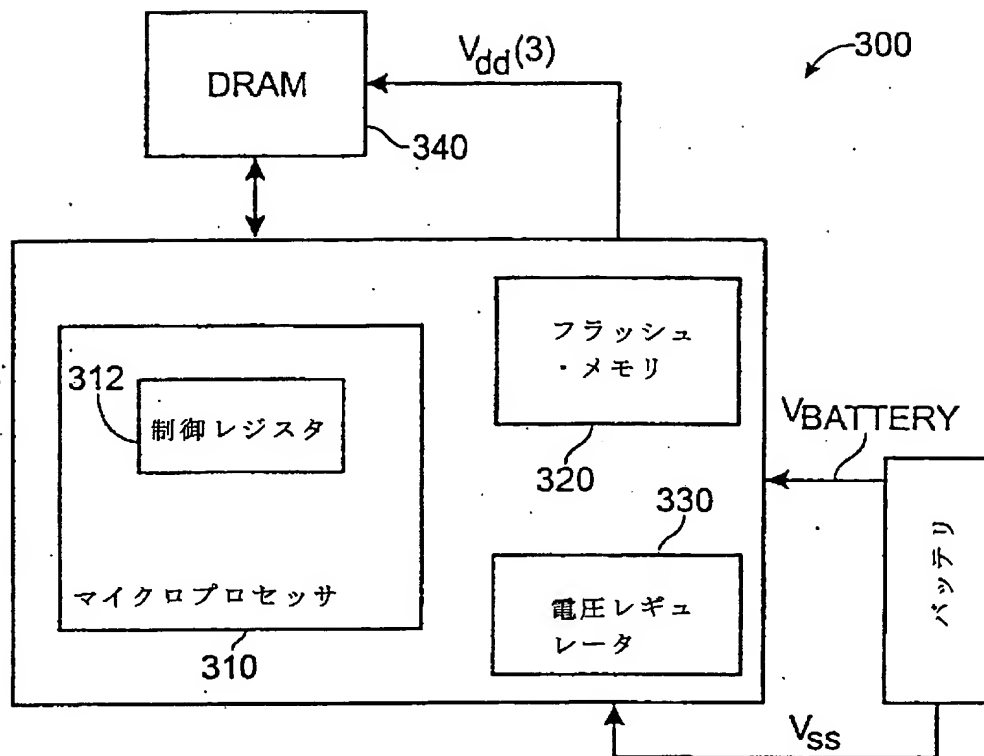
【図1】



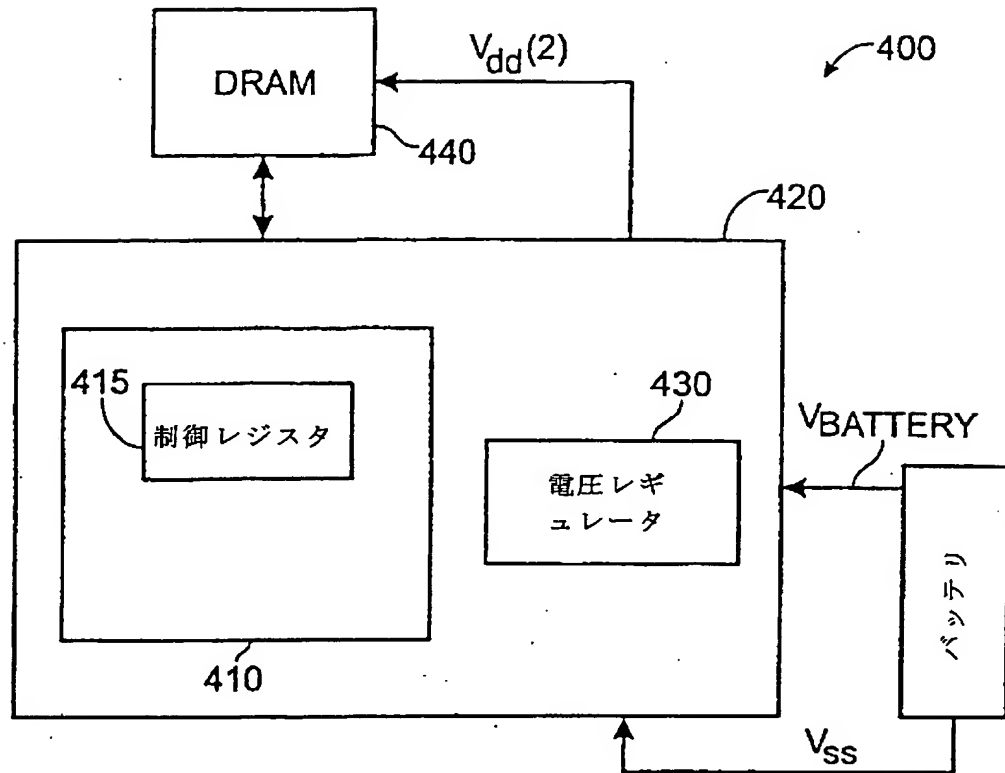
【図2】



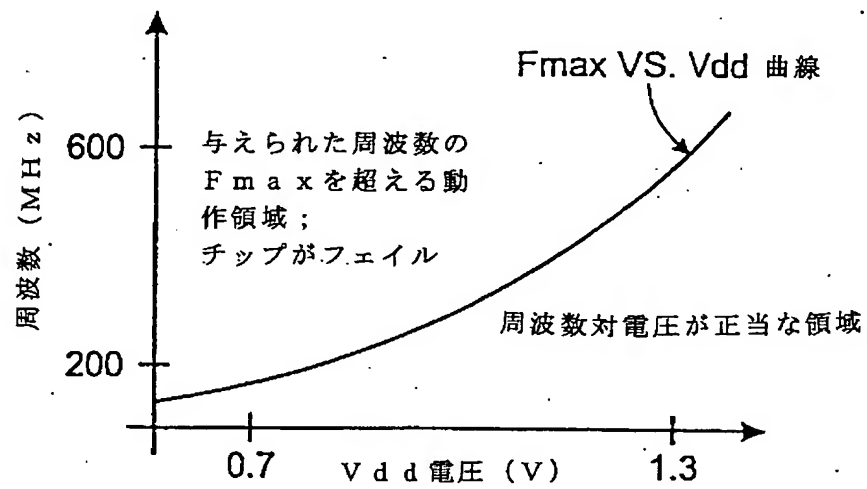
【図3】



【図4】

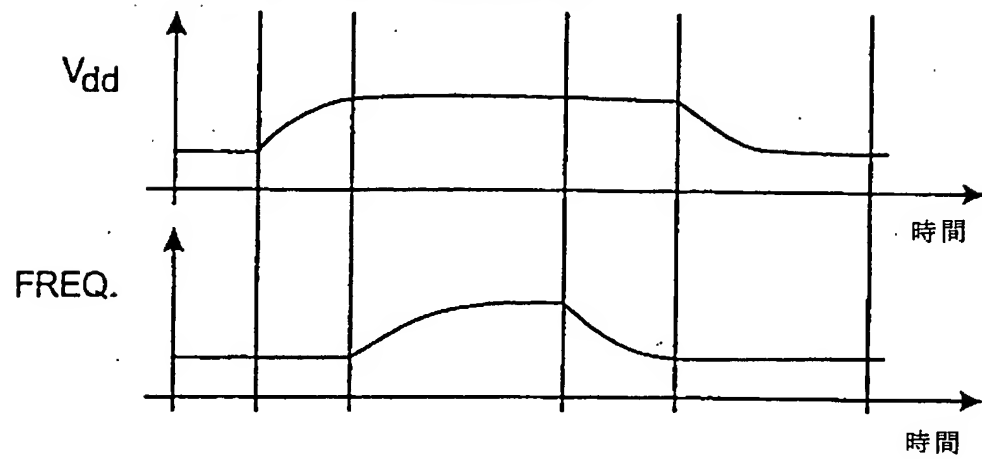


【図5】



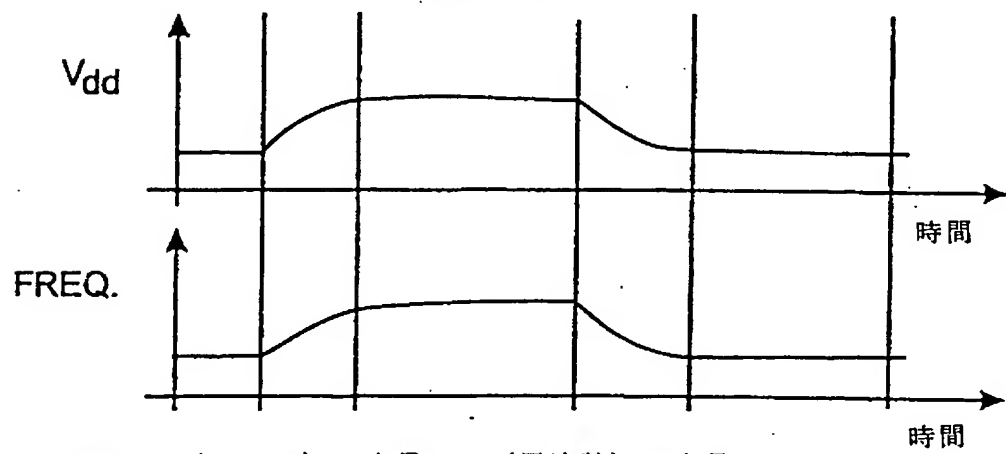
【図6】

周波数に先行する電圧の上昇および  
電圧に先行する周波数の低下



【図7】

同時的な変更：  
 $V_{dd}$  電圧 (V)



注意： $\tau(V_{DD})$  の上昇  $<$   $t$  (周波数) の上昇  
 $\tau(V_{DD})$  の降下  $>$   $t$  (周波数) の降下

【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成13年3月21日(2001.3.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 プロセッサ、電圧レギュレータ、およびメモリを含むシステムにおいて：

前記電圧レギュレータは、前記プロセッサの動作電圧を調整するために前記プロセッサに結合されており、

前記メモリは、メモリ・バスを介して前記プロセッサに結合されており、前記メモリは、前記プロセッサによって実行されたとき、前記プロセッサの処理負荷における動的な変化の少なくとも一部に基づいて、前記プロセッサの動作周波数を修正し、かつ前記プロセッサの動作電圧を調整するプロセッサ命令をストアしていることを特徴とするシステム。

【請求項2】 前記プロセッサは、マイクロプロセッサを含むことを特徴とする前記請求項1記載のシステム。

【請求項3】 前記メモリは、ダイナミック・ランダム・アクセス・メモリ(DRAM)を含むことを特徴とする前記請求項1記載のシステム。

【請求項4】 さらに、フラッシュ・メモリを包含し、そのフラッシュ・メモリと前記電圧レギュレータは、1つの集積回路チップに集積化されていることを特徴とする前記請求項3記載のシステム。

【請求項5】 前記プロセッサもまた、前記1つの集積回路チップに集積化されていることを特徴とする前記請求項4記載のシステム。

【請求項6】 前記プロセッサは、前記フラッシュ・メモリおよび前記電圧レギュレータを含む前記1つの集積回路チップに集積化されていないことを特徴とする前記請求項4記載のシステム。



【請求項7】 前記電圧レギュレータおよび前記プロセッサは、1つの集積回路チップに集積化されていることを特徴とする前記請求項3記載のシステム。

【請求項8】 前記電圧レギュレータは、前記プロセッサに結合されており、前記電圧レギュレータに提供されるバイナリ・デジタル信号の少なくとも一部に基づいて、公称動作電圧より上および下に前記プロセッサの動作電圧を調整できることを特徴とする前記請求項1記載のシステム。

【請求項9】 前記メモリは、前記プロセッサによって実行されたとき、前記電圧レギュレータを含む集積回路チップに集積化された、選択されたレジスタに対して、前記バイナリ・デジタル信号が供給される結果をもたらすプロセッサ命令をストアしていることを特徴とする前記請求項8記載のシステム。

【請求項10】 前記メモリは、前記プロセッサによって実行されたとき、選択されたレジスタ内のメモリ・ロケーションに対応する、選択されたメモリ・マップ済みのロケーションに前記バイナリ・デジタル信号が書き込まれる結果をもたらすプロセッサ命令をストアしていることを特徴とする前記請求項8記載のシステム。

【請求項11】 前記メモリは、前記プロセッサによって実行されたとき、前記電圧レギュレータによる前記プロセッサの動作電圧の調整に先行し、かつ前記プロセッサの動作周波数の修正に先行して前記プロセッサにアイドル・モードを設定させる結果をもたらすプロセッサ命令をストアしていることを特徴とする前記請求項8記載のシステム。

【請求項12】 前記メモリは、前記プロセッサによって実行されたとき、前記プロセッサが前記プロセッサの動作電圧を調整し、かつ同時に前記プロセッサの動作周波数を修正するプロセッサ命令をストアしていることを特徴とする前記請求項11記載のシステム。

【請求項13】 前記プロセッサ命令は、実行されたとき、前記プロセッサの位相ロック・ループ（PLL）入力信号のディバイダの比における変化によって前記プロセッサの動作周波数を修正することを特徴とする前記請求項11記載のシステム。

【請求項14】 前記プロセッサ命令は、実行されたとき、前記動作電圧の

調整に先行する前記動作周波数を修正することを特徴とする前記請求項11記載のシステム。

【請求項15】 前記プロセッサ命令は、実行されたとき、前記動作電圧の修正に先行する前記動作周波数を調整することを特徴とする前記請求項11記載のシステム。

【請求項16】 前記プロセッサ命令は、実行されたとき、前記動作周波数を修正する一方で同時に前記動作電圧を調整することを特徴とする前記請求項11記載のシステム。

【請求項17】 前記プロセッサ命令は、実行されたとき、前記動作電圧を調整する一方で同時に前記動作周波数を修正することを特徴とする前記請求項12記載のシステム。

【請求項18】 前記メモリは、前記プロセッサによって実行されたとき、前記電圧レギュレータによる前記プロセッサの動作電圧の調整に先行して前記プロセッサにスリープ・モードを設定させるプロセッサ命令をストアしていることを特徴とする前記請求項8記載のシステム。

【請求項19】 前記メモリは、前記プロセッサによって実行されたとき、前記プロセッサに、前記動作電圧の調整後における充分な量の時間を待機させ、前記電圧の調整が適正に達成されることを可能にするプロセッサ命令をストアしていることを特徴とする前記請求項18記載のシステム。

【請求項20】 前記メモリは、前記プロセッサによって実行されたとき、前記プロセッサに、前記動作電圧の調整後において前記電圧の調整が適正に完了されたことを検証させるプロセッサ命令をストアしていることを特徴とする前記請求項18記載のシステム。

【請求項21】 前記メモリは、さらに、前記プロセッサによって実行されたとき、前記プロセッサの処理負荷における動的な変化の少なくとも一部に基づいて、前記プロセッサの動作周波数を公称動作周波数より上下に修正するプロセッサ命令をストアしていることを特徴とする前記請求項1記載のシステム。

【請求項22】 前記メモリは、さらに、前記プロセッサによって実行されたとき、前記プロセッサにスリープ・モードを設定させ、前記プロセッサの動作

電圧の修正が成功した後、修正後の周波数において前記プロセッサの動作を起動することによって前記プロセッサの動作周波数を修正するプロセッサ命令をストアしていることを特徴とする前記請求項21記載のシステム。

【請求項23】 前記システムは、ハンドヘルド・デバイス内に組み込まれていることを特徴とする前記請求項1記載のシステム。

【請求項24】 前記ハンドヘルド・デバイスは、パーソナル・デジタル・アシスタント（PDA）、携帯電話、およびハンドヘルド・パーソナル・コンピュータのうちの1つを構成することを特徴とする前記請求項23記載のシステム。

【請求項25】 前記電圧レギュレータは、概略で数ポンドを超えない重量のデバイス用のバッテリーとの結合に適合されていることを特徴とする前記請求項1記載のシステム。

【請求項26】 プロセッサ、および前記プロセッサに結合されて前記プロセッサの動作電圧を調整する電圧レギュレータを含むシステムの前記プロセッサによって実行されたとき、前記プロセッサの処理負荷における動的な変化の少なくとも一部に基づいて、前記プロセッサの動作周波数を修正し、かつ前記プロセッサの動作電圧を調整する命令をストアしているストレージ・メディアを含む物品。

【請求項27】 前記命令は、前記プロセッサによって実行されたとき、前記電圧レギュレータが、前記電圧レギュレータに提供されるバイナリ・デジタル信号の少なくとも一部に基づいて、公称動作電圧の上下に前記プロセッサの動作電圧を調整する機能を含むことを特徴とする前記請求項26記載の物品。

【請求項28】 前記命令は、前記プロセッサによって実行されたとき、前記電圧レギュレータを含む集積回路チップに集積化された、選択されたレジスタに対して前記バイナリ・デジタル信号が供給されることを特徴とする前記請求項27記載の物品。

【請求項29】 前記命令は、前記プロセッサによって実行されたとき、前記プロセッサが、前記プロセッサの動作電圧を調整し、かつ同時に前記プロセッサの動作周波数を修正することを特徴とする前記請求項26記載の物品。

【請求項30】 前記命令は、前記プロセッサによって実行されたとき、前記電圧レギュレータによる前記プロセッサの動作電圧の調整に先行し、かつ前記プロセッサの動作周波数の修正に先行して前記プロセッサにアイドル・モードを設定させることを特徴とする前記請求項29記載の物品。

【請求項31】 前記命令は、前記プロセッサによって実行されたとき、前記電圧レギュレータによる前記プロセッサの動作電圧の調整に先行し、かつ前記プロセッサの動作周波数の修正に先行して前記プロセッサにスリープ・モードを設定させることを特徴とする前記請求項29記載の物品。

【請求項32】 プロセッサの電力消費を低減する方法において：  
前記プロセッサの動作周波数を修正するステップ；および、  
前記プロセッサの動作電圧を調整するステップ；を包含し、  
前記修正ならびに前記調整は、前記プロセッサの処理負荷における動的な変化の少なくとも一部に基づくものとすることを特徴とする方法。

【請求項33】 前記プロセッサの動作電圧の調整は、前記動的な変化の少なくとも一部に基づいて、前記プロセッサの動作電圧を公称動作電圧から上または下に調整するステップを有することを特徴とする前記請求項32記載の方法。

【請求項34】 前記動作電圧の調整および前記動作周波数を修正は、同時に生じることを特徴とする前記請求項32記載の方法。

【請求項35】 さらに、前記電圧レギュレータによる前記プロセッサの動作電圧の調整に先行し、かつ前記プロセッサの動作周波数の修正に先行して前記プロセッサにアイドル・モードを設定させるステップを含むことを特徴とする前記請求項32記載の方法。

【請求項36】 さらに、前記電圧レギュレータによる前記プロセッサの動作電圧の調整に先行し、かつ前記プロセッサの動作周波数の修正に先行して前記プロセッサにスリープ・モードを設定させるステップを含むことを特徴とする前記請求項32記載の方法。

## 【國際調查報告】

## INTERNATIONAL SEARCH REPORT

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 606F1/32		International Application No. PCT/US 00/10799
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 606F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 745 375 A (GUNTHER STEPHEN H ET AL) 28 April 1998 (1998-04-28) column 5, paragraph 3 -column 6, paragraph 2 column 6, last paragraph -column 7, paragraph 1 figures 1-5	1-3
X	US 5 812 860 A (GORMAN STEVEN D ET AL) 22 September 1998 (1998-09-22) column 3, paragraph 2 -column 4, paragraph 2	1-3
X	EP 0 632 360 A (XEROX CORP) 4 January 1995 (1995-01-04) the whole document	1-3
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 12 September 2000		Date of mailing of the international search report 22/09/2000
Name and mailing address of the ISA European Patent Office, P.O. 5010 Patentamt 2 NL - 2200 HV Rijswijk Tel. (+31-70) 340-2040, Tlx 31 651 eponl. Fax: (+31-70) 340-3018		Authorized officer Ciarelli, N

Form PCT/ISA/210 (second sheet) (July 1992)

## INTERNATIONAL SEARCH REPORT

Inter. Appl. No.  
PCT/US 00/10799

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 06, 31 July 1995 (1995-07-31) & JP 07 081186 A (CANON INC), 28 March 1995 (1995-03-28) abstract	I-3
X	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 11, 30 September 1998 (1998-09-30) & JP 10 149237 A (KYUSHU SYST JOHO GIJUTSU KENKYUSHO; MATSUSHITA ELECTRIC IND CO LTD), 2 June 1998 (1998-06-02) abstract	I-3

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 00/10799

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5745375	A	28-04-1998	AU 7247296 A EP 0858634 A WO 9712329 A US 5825674 A	17-04-1997 19-08-1998 03-04-1997 20-10-1998
US 5812860	A	22-09-1998	NONE	
EP 0632360	A	04-01-1995	JP 7020968 A	24-01-1995
JP 07081186	A	28-03-1995	NONE	
JP 10149237	A	02-06-1998	NONE	

## フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW

(72)発明者 ヒープ, ジェイ

アメリカ合衆国・85296・アリゾナ州・フェニックス・イースト ローハイド アベニュー・401

(72)発明者 アデルメイヤー, トム・ジェイ

アメリカ合衆国・85044・アリゾナ州・フェニックス・サウス 33アールディ ストリート・14051

Fターム(参考) 5B011 DB02 EA08 LL02 LL13

5B062 AA05 HH02 HH04

5B079 AA07 BA01 BC01